

## COMPUTER SYSTEM

**Publication number:** CN87106651 (A)  
**Publication date:** 1988-04-06  
**Inventor(s):** JOHN ANDREW NIBLOCK, ; CHRISTOPHER JOHN LYON MILNER, ; DAVID JOHN TEASDALE  
**Applicant(s):** GENERAL ELECTRIC CORP  
**Classification:**  
- **international:** G06F12/02; H04Q11/04; G06F12/02; H04Q11/04; (IPC1-7): G06F13/20  
- **European:** G06F12/02D4; H04Q11/04C  
**Application number:** CN19871006651 19870924  
**Priority number(s):** GB19860022941 19860924

**Also published as:**

CN1009227 (B)  
EP0261947 (A1)  
ZA8707152 (A)  
NZ221900 (A)  
IN169379 (A1)

[more >>](#)

Abstract not available for CN 87106651 (A)

Abstract of corresponding document: **EP 0261947 (A1)**

The invention concerns a computer system in which a main processor (10) can communicate with one or more peripherals (13) via a bi-directional data bus (11) having a width restriction. An Input/Output controller (12) contains control and status registers and is responsive to the range of bus (11), this bus range being split into a number of areas each representing one of the software processes which is to communicate with a peripheral (13).

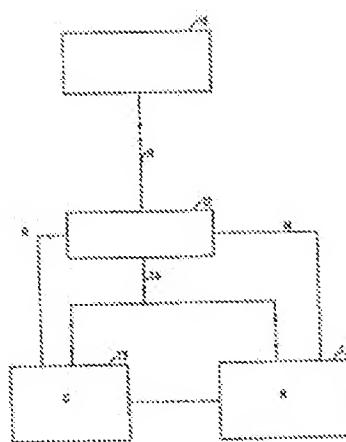


Fig 1

.....  
Data supplied from the **espacenet** database — Worldwide



## 〔12〕发明专利申请公开说明书

〔11〕CN 87 1 06651 A

〔43〕公开日 1988年4月6日

〔21〕申请号 87 1 06651

〔74〕专利代理机构 中国专利代理有限公司

代理人 匡少波 王明义

〔22〕申请日 87.9.24

〔30〕优先权

〔32〕86.9.24 〔33〕GB 〔31〕8622941

〔71〕申请人 通用电气公众有限公司

地址 英国伦敦

〔72〕发明人 约翰·安德鲁·尼布洛克

克里斯托弗·约翰·莱昂·米尔纳

戴维·约翰·蒂斯代尔

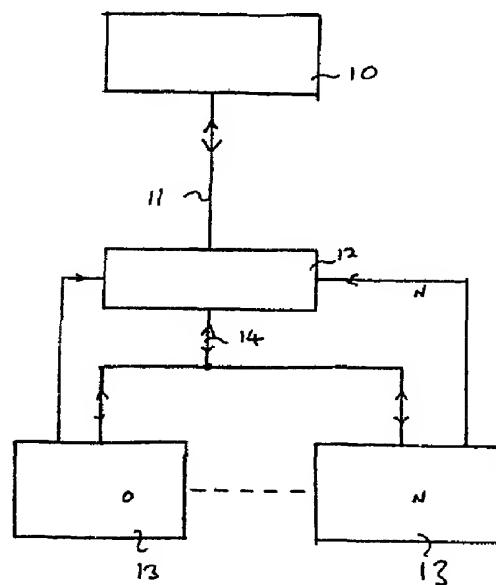
蒂莫西·约翰·博伊尔

阿伦·斯图尔特·威尔逊

〔54〕发明名称 计算机系统

〔57〕摘要

本发明涉及一种计算机系统，在该系统中，处理器(10)能通过一宽度上受限制的双向数据总线(11)与一个或多个外围设备(13)通信。输入/输出控制器(12)装有控制寄存器和状态寄存器，且能对总线(11)的范围作出反应，此总线范围被划分成许多区，各区代表其中一个要与外围设备(13)通信的软件进程。



# 权 利 要 求 书

---

1. 一种计算机系统包括一具有双向数据总线(11)的主处理器(10)和一具有随机存取存储器(32)及一辅助处理器(31)的外围设备，该计算机系统的特征在于，该系统包括一输入 / 输出控制器12，用以控制主处理器(10)与外围设备之间的访问，且外围控制器(12)装有一控制寄存器和一状态寄存器，该输入 / 输出控制器对从主处理器(10)引出的总线编址范围作出响应，总线编址范围被划分成许多区，各区代表其中一个要与外围设备通信的软件进程，各区又进一步再被划分为两部分，一个部分留给从主处理器到外围设备传输信息之用，另一部分则留给从外围设备到主处理器传输信息之用。

2. 如权利要求1 所述的计算机系统，其特征还在于，各部分构成一在 外围设备RAM 存取存储器中限定可移动单元组的窗口。

3. 如权利要求2 所述的计算机系统，其特征还在于，各窗口的参数由所述输入 / 输出控制器(12)中的控制信号限定。

4. 如权利要求3 所述的计算机系统，其特征还在于，有多个各个具有辅助处理器(31)和RAM 寄存器(32)的外围设备(13)，且输入 / 输出控制器的控制寄存器也确定所选择外设备和在该外围设备中适当的基址寄存器是否一致。

5. 如权利要求3 或权利要求4 中的计算机系统，其特征还在于，预定在所述输入 / 输出控制器(12)控制下应读入外围组件中的所有来自主处理器的输出信息都读入构成一个桶形队列的外围存储器的一个区中。

6. 如权利要求5 所述的计算机系统，其特征还在于，在该或各桶形队列区中状态的检测是通过三个与队列有关的指示器，即现有存储空间开始指示器(SAMS)、现有存储空间终止指示器(EAMS)和下一个SAMS指示器实现的，采取这样的配置方式，使得当从队列中除去一个信息时，EAMS指示器就更新，表明有可利用的存储空间，当加入了存储块时，SAMS指示器就更新。

# 说 明 书

---

## 计算机系统

本发明涉及计算机系统，特别是涉及（但不仅仅局限于）控制数字电话交换局中用以控制数字数据传输的计算机系统。本发明所涉及的计算机系统包括一主处理器主处理器工作时必须访问一个或多个装有复杂微处理器线路的外围设备，且系统中，在主处理器与各个外围设备之间的I/O（输入/输出）接口上存在若干编址限制。应该理解的是，采用主处理器一词本身并不意味着主处理器比该或各外围设备能力强或具有更大的存储容量。因此在本说明书的范围内，主处理器是从处理器的功能级别意义上加以使用的。

因此，本发明的一个目的是提供上述那种在经过具有编址限制的I/O 接口访问外围设备的问题上，能以较先进的方法进行处理的计算机系统。

因此本发明主要涉及一种包括下列各部分的计算机系统：一主处理器，具有一条双向并行的数据总线；一个或多个外围设备，各个外围设备具有一随机存取存储器和一个辅助处理器以及一用以控制主处理器与各个外围设备之间的访问的输入/输出控制器，该输入/输出控制器装有控制寄存器和状态寄存器，且能对从主处理器引出的输入/输出总线编址范围作出响应，该总线编址范围被划分成许多区，每一区代表与一个外围设备通信的一个软件进程，各区又进一步再划分，以便将其中一部分留给由主处理器向辅助外围设备传输信息之用，另一部分留给由该外围设备向主处理器传输信息之用。

为更易理解本发明的内容，现参照附图通过举例说明本发明的一个

实施例。附图中：

图1 是本发明计算机系统的方框图；

图2 是表示图1 系统中所采用的寻址方法的方框图；

图3 是表示信息获取方法的示意图。

现在参看图1。从图中可以看到主处理器10和从主处理器10引出的I/O 双向总线11。在本实施例中，该I/O 总线11能并行载送16个数据位。还提供有13个地址位，因而编址范围为8k字。不言而喻，这些数字仅仅是举例而已，还可以采用其它配置方式。

I/O 总线11接到一组叫做输入 / 输出控制器(IOC) 的线路12上。IOC 12装有控制寄存器和状态寄存器，并具有从I/O 总线进行输入 / 输出访问的定序功能。IOC 电路12既可以为主处理10对13中的一个外围设备的访问排序，也可以经过IOC 总线14进行自身对外围设备13的访问。这些IOC 访问是为从外围设备13获取状态信息而进行的。

从主处理器10引出的总线编址范围被划分成许多等份区。各区代表其中一个需要与外围设13通信的软件进程。然后将各区进一步再分成两半，一半留给从主处理器10到外围设备13传输信息之用，另一半留给从外围设备13到主处理器10传输信息之用。

这些半区叫做“窗口”。在各窗口中配置有履行控制功能用的备用地址。这些地址可以具有或不具有有关数据字段。

在这里介绍的系统中，不言而喻，在任何方向传输信息之前，在主处理器10上运行的适当软件进程必须写入IOC12 中与该窗口有关的控制寄存器上。适当的IOC 控制寄存器有两个字段。这些字段如图2 所示，其中主处理器仍以编号10表示，IOC 电路一般以编号12表示。和前面一样，11表示总线。这样，IOC 电路12中的各寄存器包括两个字段，图2 中分别以编号20和21表示。字段20叫做外围码字段，该字段允许相应的外围设备对其译码，以便读 / 写信息。字段21叫做信息类型，此字段识

别待由该外围设备的读出或写入的具体信息队列。在本实施例中，外围设备码系统为3位，信息类型字段为8位，因此，利用外围码可以从多达八个外围设备中选取一个外围设备。在实际窗口中，一个地址留作往控制寄存器上书写数据用，由地址寄存器解码22加以识别。IOC 电路中适合特定窗口的控制寄存器由5位的控制寄存器选择器25选择。这就是说，在本实施例的IOC 电路12中控制寄存器的数目最多可达32个。

从图2 中还可看出，总线11上的8位地址取捷径直接通到外围设备13中。

因此五条控制寄存器选择地址线路26由控制寄存器选择器25予以解码，同时存储在所选择的控制寄存器中的数据被驱送到外围选择地址线路27和信息类型地址线路28上，往下进入外围设备中。

各外围设备装有一基址寄存器控制电路30，该电路则由在微处理器31上运行的固件构成，其中含有一表明外围设备RAM（随机存取存储器）32中一个地址的地址，现在就这一点加以说明。此地址叫做长基址指示器，系由与外围设备有关的固件加上8位来自处理器10的位移组成。该长基址指示器由IOC 电路12中相应选择的控制寄存器的5位字段进行选择，在各外围设备中有一组不同的基址寄存器。

如果信息类型包含有由主处理器向外围设备传输的信息，则外围设备RAM 中的地址指向RAM32 有关队列中的下一个空的存储位置。

另一方面，若信息类型字段包含有从外围设备至主处理器传输过程的信息，则地址指向待传输的第一个信息的第一个位置。

当开始对所选择的外围设备进行读出或写入访问时，基址寄存器控制电路通过将基址寄存器的值与从IOC12 接收到的位移量相加来计算存储器地址。

这里介绍的计算机系统的另一个特点在于，所有从主处理器10出来的信息都取道所选择的外围设备的RAM 中的所谓桶形队列。这是存储器

的这样一个区：此区满时会朝存储器的始端绕转，然后再继续从该点填充。此程序叫卷绕(Wrap-around)。为检测出队列何时满额，需要三个指示器：可用存储空间开始指示器(SAMS)、可用存储空间终止指示器(EAMS)和下一个SAMS指示器。当从队列中除去一个信息时，EAMS指示器更新，指示出由此腾出的可供使用的存储空间。同样，当往队列中加信息块时，SAMS更新，指示出可用存储空间的变化。下一个SAMS指示器包括当前的信息通过之后的SAMS地址。此指示器可藉F/W 固件处理过程加以更新，以使输出队列中含F/W 信息。

为检测队列是否满，应进行试验。各传输是从零进行到绝对位移地址，其中零为第一个字地址，“N”为最后一个字地址。留出一些位移地址供一些控制功能用。留出一个地址来表示新信息的开始。在该第一次传输中通过的数据为整个信息的长度。在第一次传输时，信息长度加到下一个SAMS上，以产生合量。比较下一步SAMS和EAMS指示器以确定哪一个值大。同样将合量与EAMS进行比较以确定哪一个大。

这些比较得出的结果与所加值的进位状态一起可用以进行“队列满检测”。若检测出队列满，则废弃整个信息直到开始访问新信息为止。若检测不出队列满，则将合量作为新的下一个SAMS存储起来，而将旧的下一个SAMS作为新SAMS存储起来。

在队列满检过程中应考虑两种情况：

情况1，这时EAMS大于SAMS。若在加法运算过程中产生进位，就可即刻检测出队列满。没有进位时，必须将合量与EAMS进行比较。若EAMS大，则检测不出队列满，若EAMS小于或等于合量，就可检测出队列满。

情况2，这时SAMS大于或等于EAMS。若没有进位，则检测不出队列满。若有进位产生，则应考虑对合量进行比较。若合量大于或等于EAMS，则可检测出队列满。若EAMS大，则检测不出队列满。若在以上任何情况下已检测出队列满，则一定不能进行访问，因为这种访问会将现有信

息重写入队列中。

窗口中的第二地址留给信息块在窗口中传输结束之后使用。此只写地址是在它完成一信息块的传输之后由主处理器软件书写的。访问是对外围设备进行的，且由基址寄存器控制电路进行解码。在窗口中所传输的信息块长度加到SAMS以产生新的SAMS值。

另一书写访问是由主处理器软件对窗口中的第一存储单元进行的。此单元在信息中始终留作零，同时主处理器软件写入对应于下列其中一个状态的值：一完整信息，某一信息的第一部分，某一信息的继续部分，某一信息的最后部分。这种装置可用以传输比最大窗口大小还长的信息。外围微处理器固件会周期性扫描该单元，并检测何时有信息或部分存在。然后由固件提取该信息或部分信息。这时固件就会知道，或者是信息已由主处理器读取，或者有新信息等待处理。

为告知主处理器在外围设备的一队列中存在待传输到主处理器的信息，我们提供了一种专用的装置，其配置方式如图3 所示。

各外围设备都配备有可获取输入信息的寄存器40（主处理器的外围设备）。该寄存器40含有主处理器用于访问外围设备的各个软件模块的一个位。当外围设备中的微处理器在队列中已设置输入信息、且已设置带有地址的基址寄存器后，有效信息寄存器中的数据由运行在外围设备的微处理器上固化软件来设置。

在IOC12 中还提供另一组有效信息寄存器50。各IOC 有效信息寄存器含有可以配备给各外围设备13 的一个位。各个主处理器软件进程都设有一寄存器，且出现在各输入“窗口”中。

外围微处理器在如上所述设置输入信息和寄存信息的寄存器时，就启动一去IOC 上的控制序列发生器S1的“nudge ”信号。这促使序列发生器S1开始在IOC 总线上访问，并读出适当可获取信息的外围寄存器40 的内容。返回的数据用以控制对相应于各IOC 可获取信息的寄存器中的

外围设备的二进制位进行置位。

因此，在主处理器上运行的各软件就可以通过IOC的一次读出对所有外围设备状态确定输入信息的可用性。

在IOC可获取信息的寄存器及其外围设备中各二进制位的清除是在主处理器的软件模块往窗口中写备用地址、以表明信息已被成功传输时进行的。

# 说 明 书 附 图

图 1

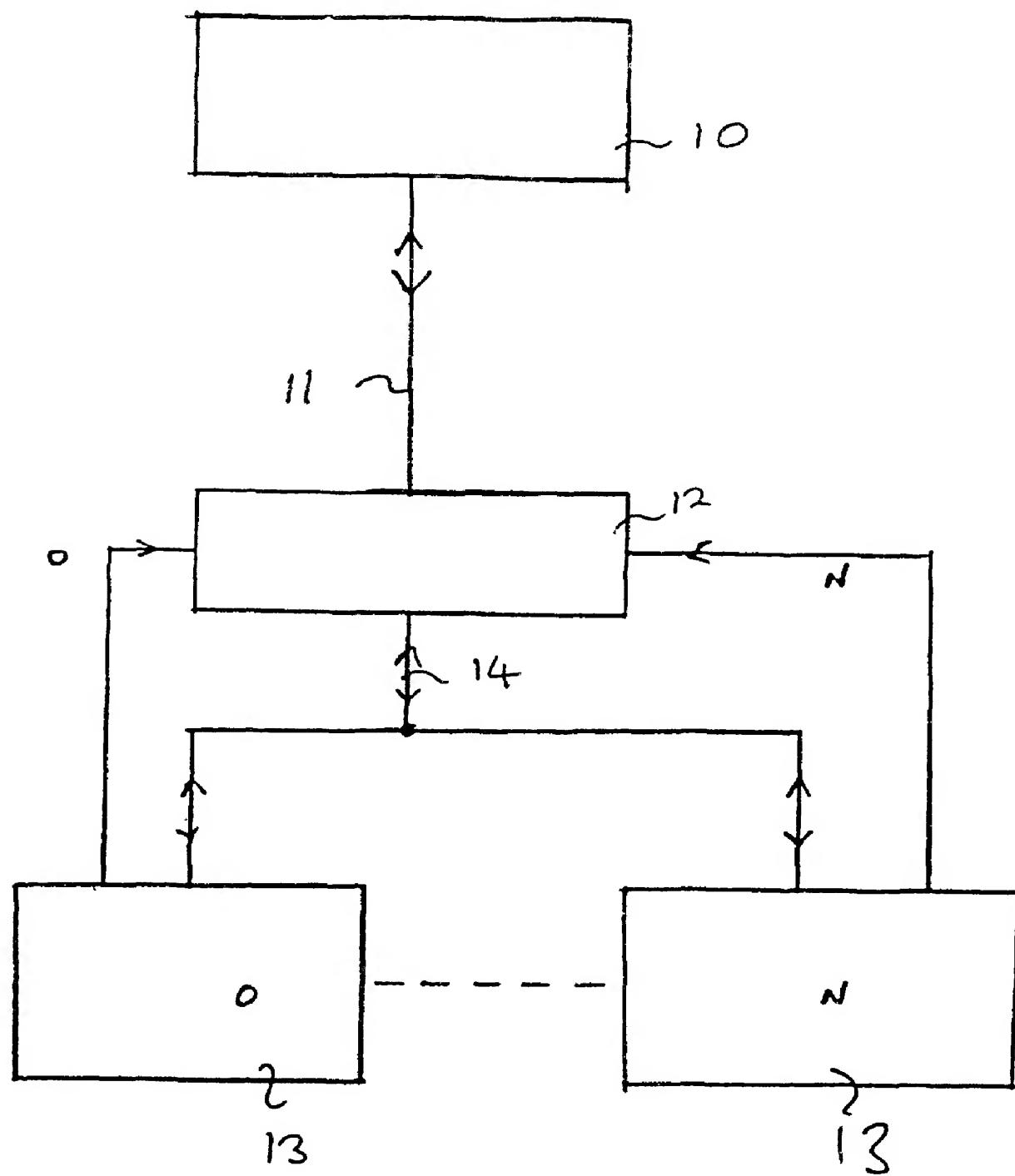


图 2

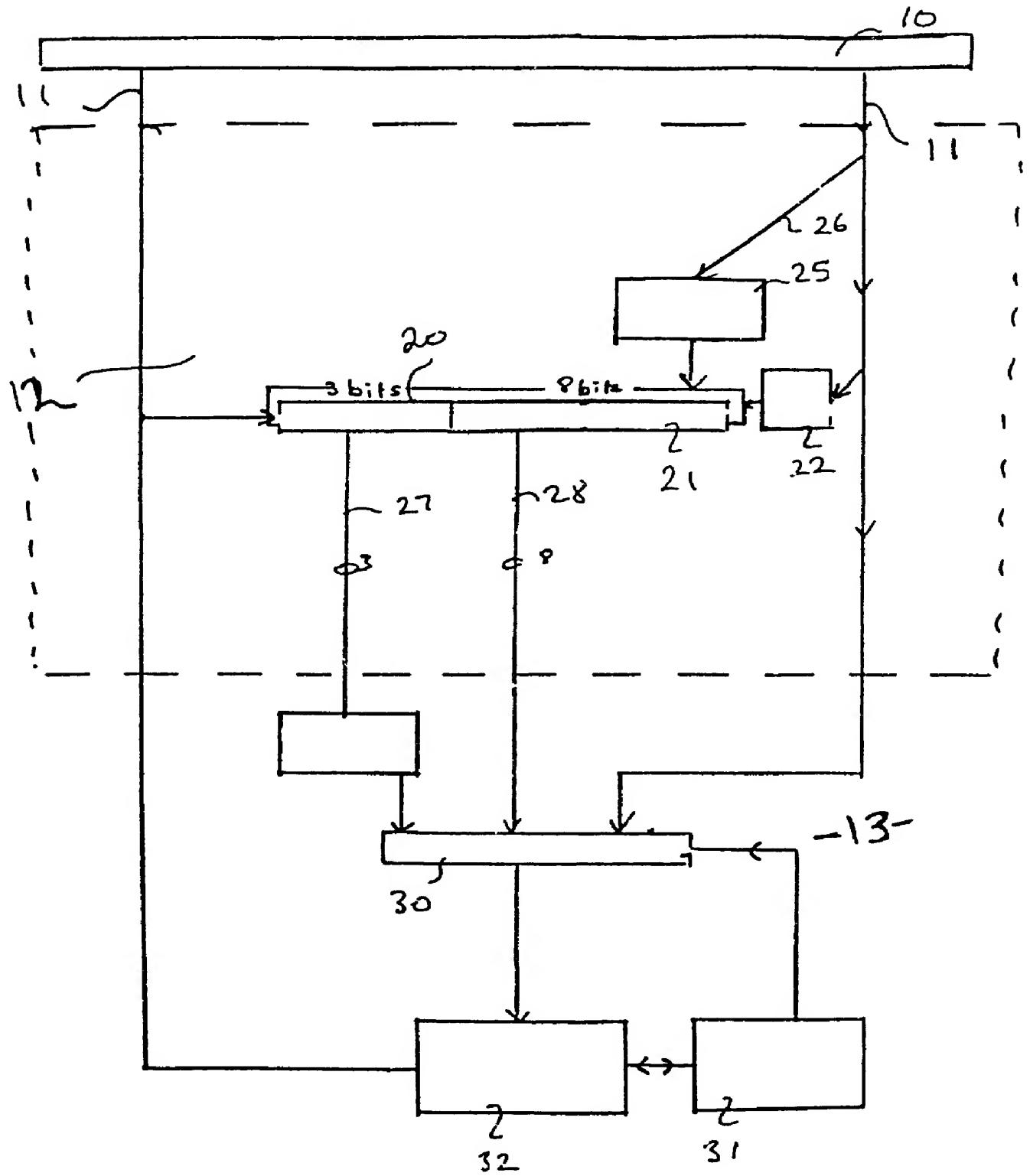


图 3

